<제29회 통신정보 합동학술대회, 위성융합정보활용기술 ITRC 특별세션>

고해상을 위한 파형발생기 설계 및 측정

2019.05.02

김 경 록

Wireless Internet aNd Network Engineering Research Lab.

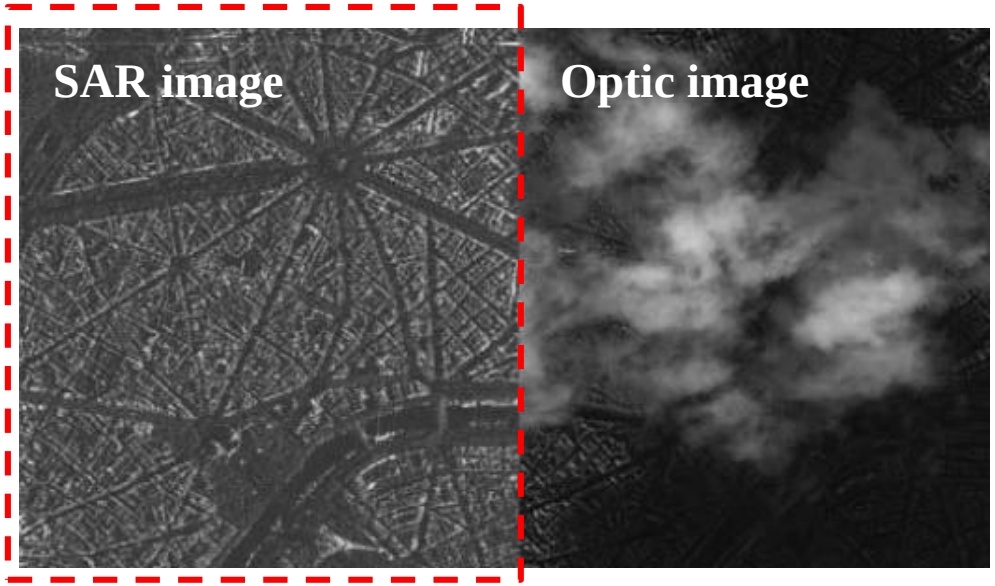
Department of Electrical and Computer Engineering

Ajou University, Korea

목차

❑ SAR (Synthetic aperture radar, 합성 개구면 레이더 → 영상레이더)

- ➢ 위성, UAV*, 차량 등 **이동하는 플랫폼**에 탑재되어 운용[1]
- ➢ **전파**를 이용하는 이점으로 전천후 관측 가능하며, 재해재난 모니터링에 사용
  - ✓ L (1-2 GHz), C (4-8 GHz), X (8-12 GHz), Ku-band (12-18 GHz) 등



<All weather observation using microwaves>

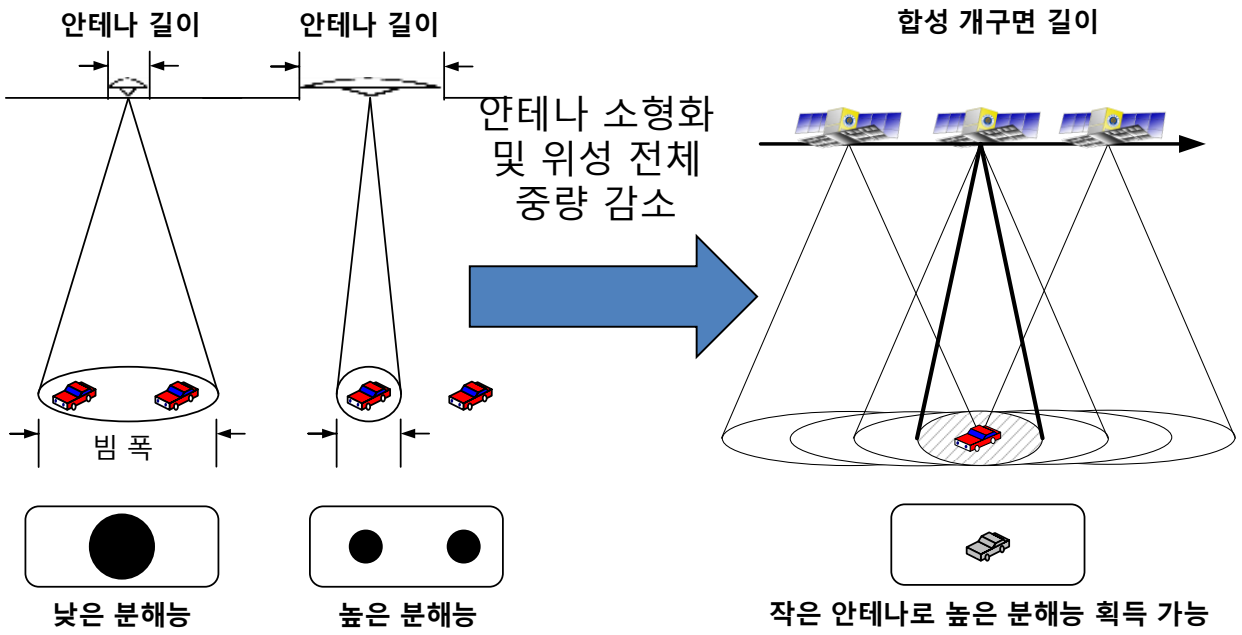
<Various application of the SAR>

*UAV : Unmanned Aerial Vehicle

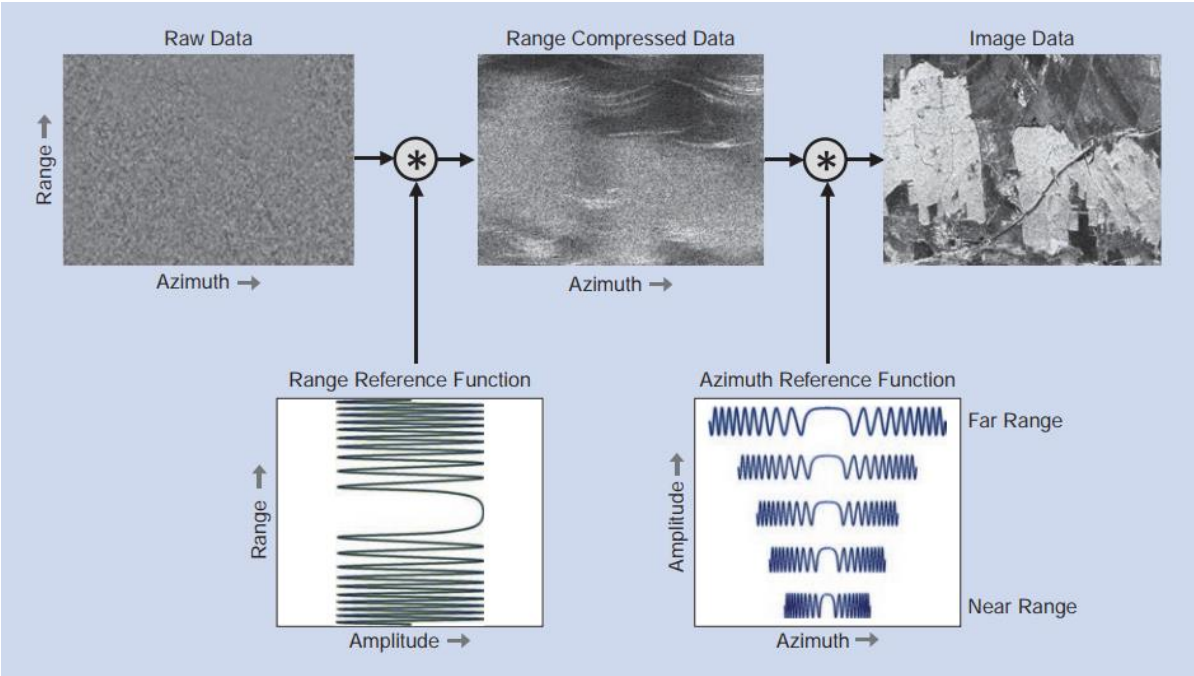
[1] K. Tomiyasu, "Tutorial review of synthetic-aperture radar (SAR) with applications to imaging of the ocean surface," *in Proc.* IEEE, vol. 66, no. 5, pp. 563-583, 1978.

❑ Synthetic Aperture (합성 개구)?

- ➢ 기존 관측 레이더는 안테나의 면적과 해상도 능력이 비례
- ➢ 위성 등 플랫폼은 중량 제한에 의한 안테나 크기 제한
- ➢ 영상레이더를 탑재한 **플랫폼의 이동** 및 수신된 **데이터 처리**로 고해상도 영상 획득 가능
- ➢ 안테나의 물리적 크기 제한을 극복한 레이더 기술



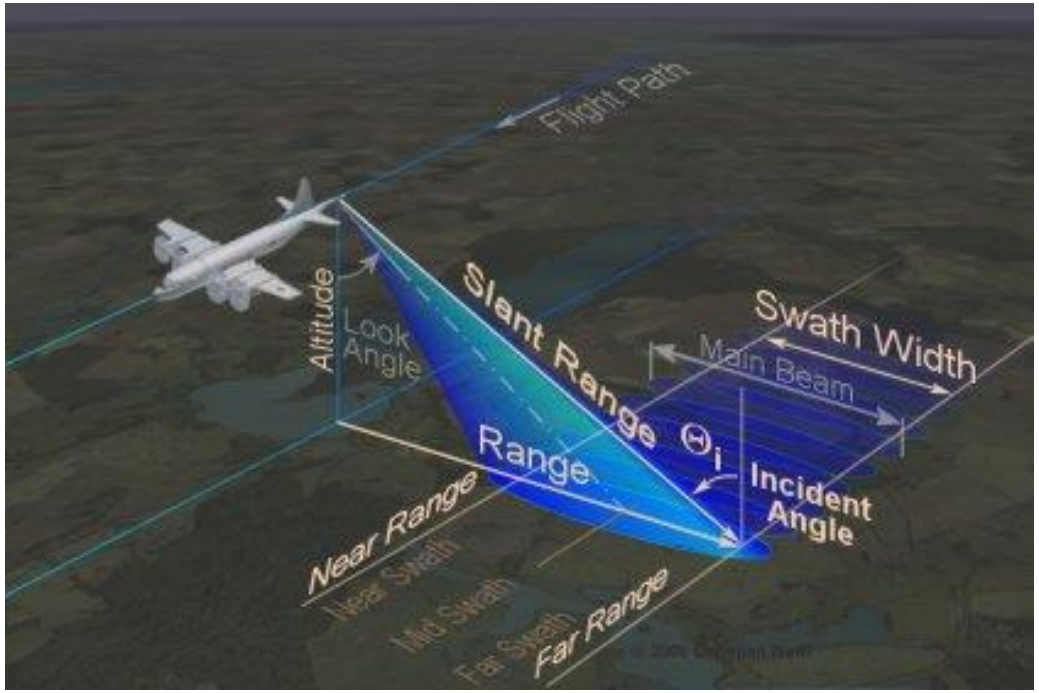
<Conventional RADAR vs. SAR antenna>

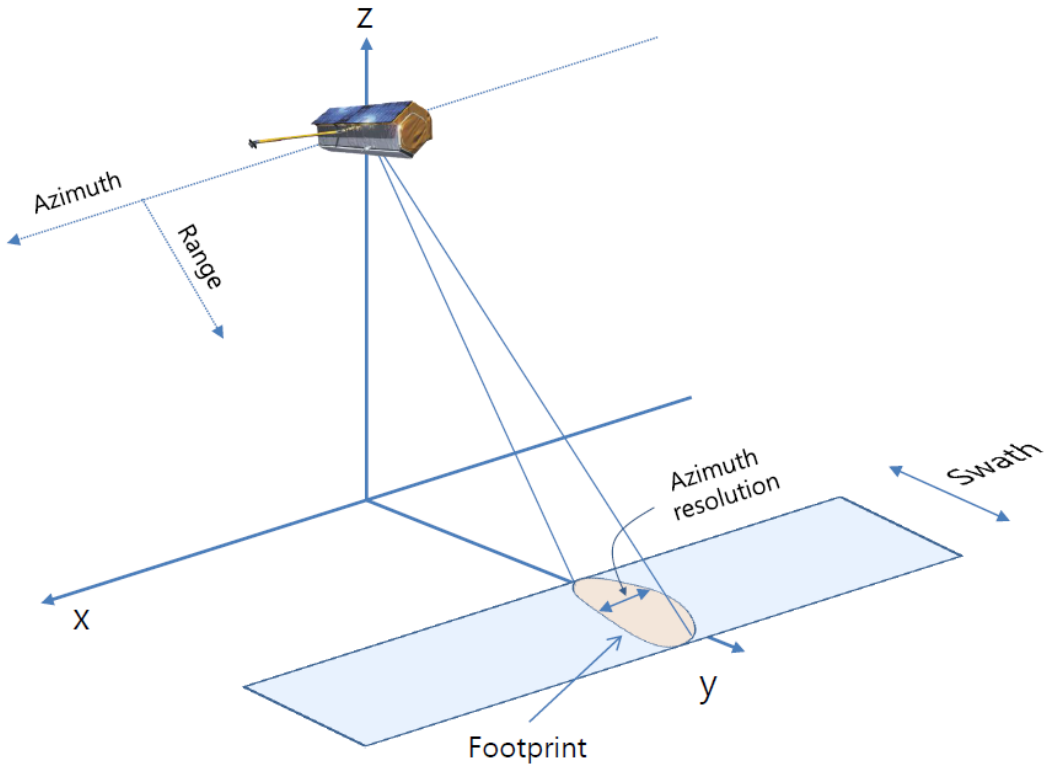


<SAR image processing [2]>

[2] http://www2.geog.ucl.ac.uk/~mdisney/teaching/PPRS/PPRS_7/esa_sar_tutorial.pdf

❑ Synthetic Aperture (합성 개구)? – 측면 관측

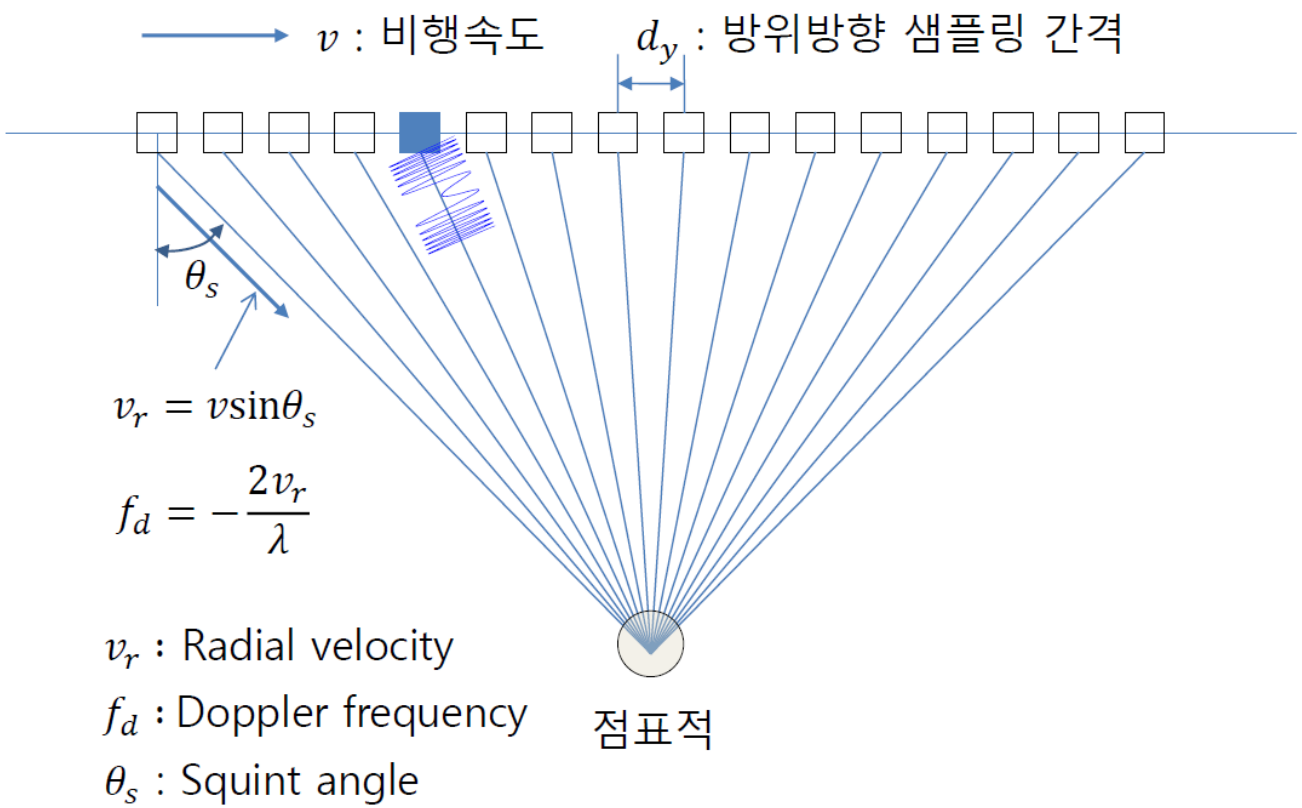




<Side-looking SAR>

❑ Synthetic Aperture (합성 개구)? – 신호 송수신

$$t = 4 \cdot PRI$$



*PRI : Pulse repetition interval

서론

❑ Motivation

- ➢ 위성 발사체 및 버스 시스템의 **소형화 추세**에 따라, **단일 시스템**만을 탑재한 소형 위성용 SAR 개발이 늘고 있음[3].
- ➢ 군사적 용도 뿐만 아니라, 민간용으로도 **고해상도의 SAR 영상**이 요구됨.
  - ✓ SAR의 해상도($\boldsymbol{\Delta R}$)는 안테나의 크기(L), 대역폭(B)에 따라 결정됨[4].

➔ 시스템 부하를 줄이면서, 고해상도의 SAR 영상을 획득할 수 있는 시스템 개발 필요

❑ Contribution

- ➢ 고해상을 위한 광대역 첩 파형 발생기 시스템 설계
- ➢ 광대역 첩 파형 발생 및 측정

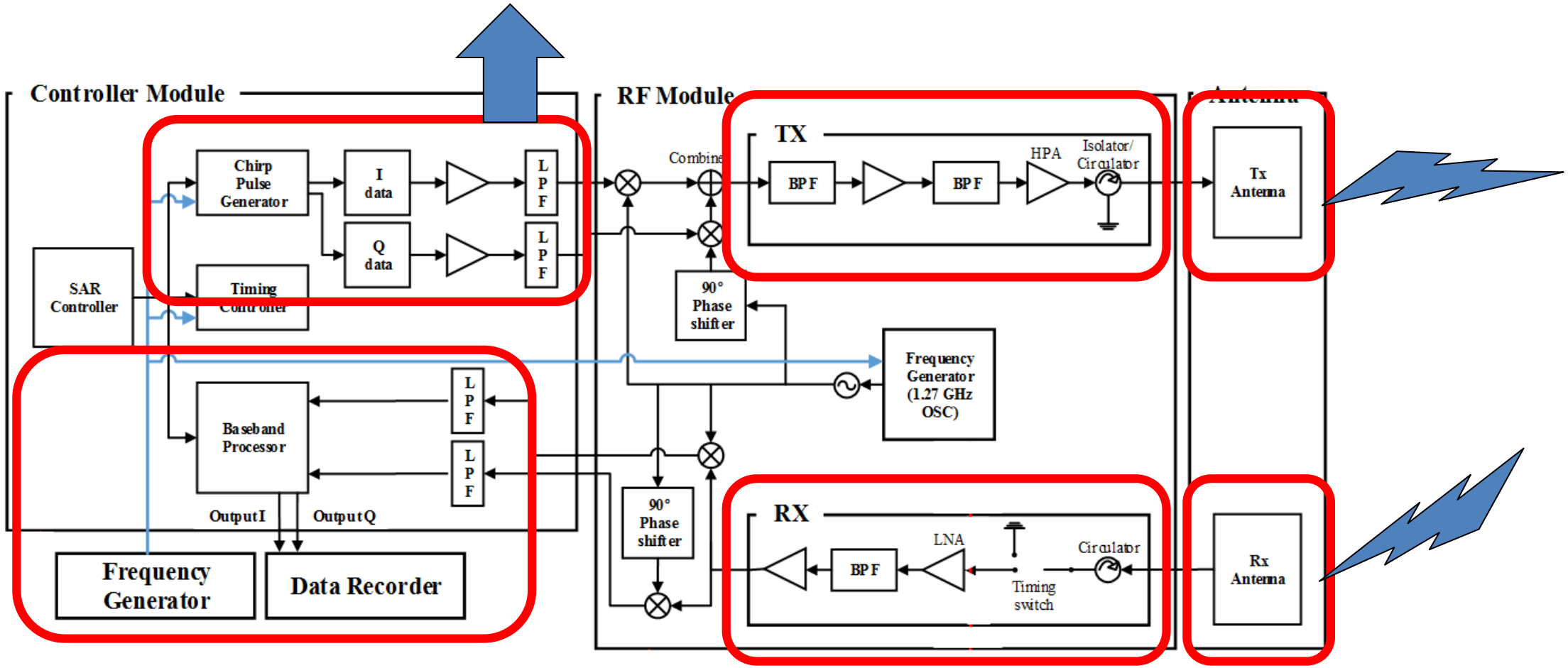
[3] Saito, Hirobumi, et al. "Synthetic aperture radar compatible with 100kg class piggy-back satellite," *2013 Asia-Pacific Conference on. Synthetic Aperture Radar (APSAR)*, 2013.

[4] J. Curlander and R. McDonough, "Synthetic Aperture Radar - Systems & Signal Processing," John Wiley & Sons, Inc. 1991.

고해상용 첩 파형 발생기 설계

고해상용 첩 파형 발생기 설계

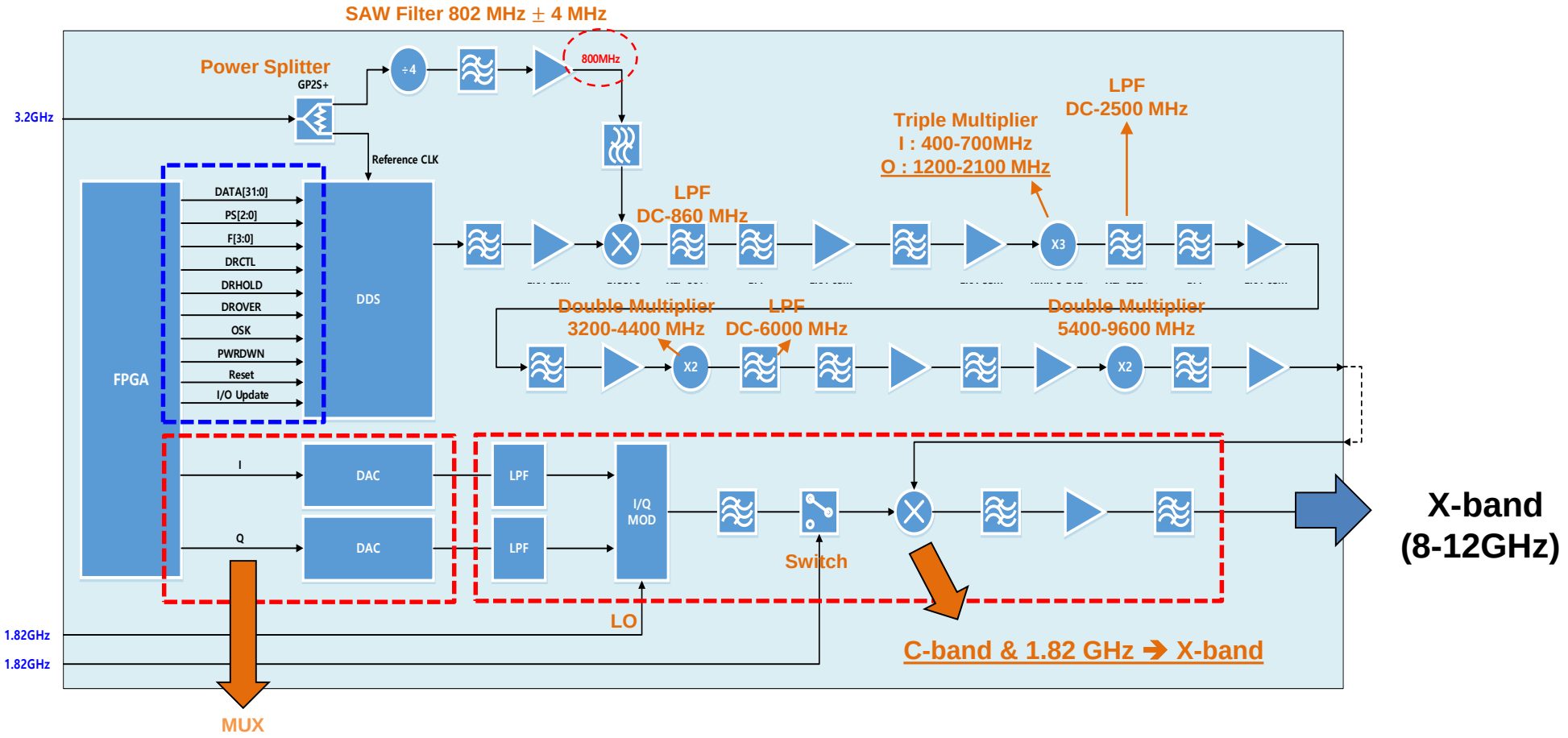
❑ SAR 시스템 구조



고해상용 첩 파형 발생기 설계 – 회로 & 블록

❑ 광대역 첩 파형 발생기 구조 (회로)

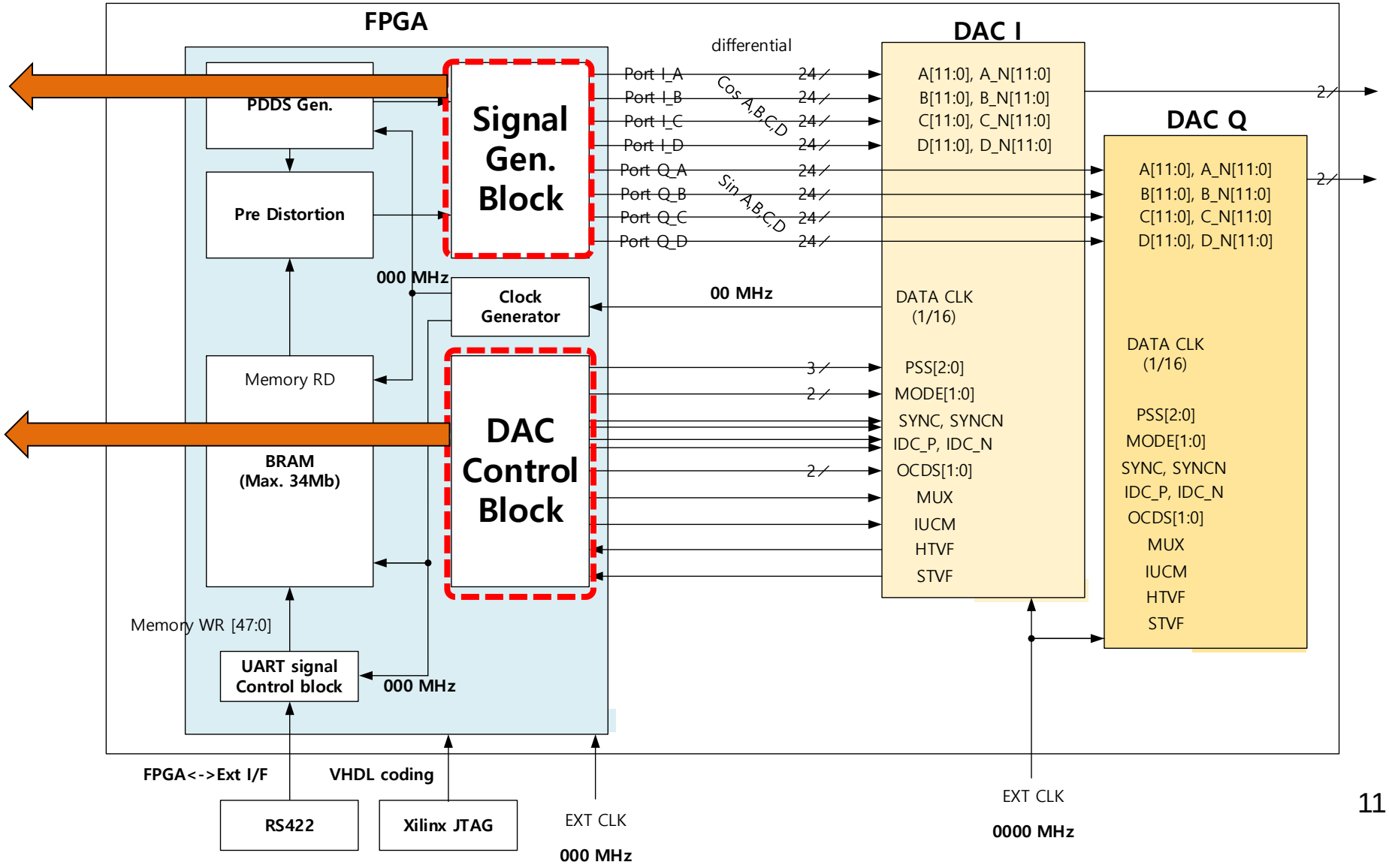
- ➢ FPGA : **Baseband to 000 MHz** 첩 파형 출력
- ➢ C-band & 1.82 GHz (LO) ➔ X-band 000 MHz 대역폭의 첩 파형 출력



고해상용 첩 파형 발생기 설계 – 회로 & 블록

❑ 광대역 첩 파형 발생기 구조 (FPGA-DAC 체결 블록도)

- ➢ 신호 생성 블록
- ➢ DAC 제어 블록



고해상용 첩 파형 발생기 설계 – S/W & 시뮬레이션

❑ 광대역 첩 파형 발생기 VHDL 코드

➢ FPGA-DAC 포트 맵핑

```
# DSP CLK, in (000 MHz)
NET "DAC1_DSP_P" LOC = V14 | IOSTANDARD=LVDS | DIFF_TERM=TRUE;
NET "DAC1_DSP_N" LOC = W14 | IOSTANDARD=LVDS | DIFF_TERM=TRUE;
NET "DAC1_DSP_P" CLOCK_DEDICATED_ROUTE = FALSE;
NET "DAC1_DSP_N" CLOCK_DEDICATED_ROUTE = FALSE;

NET "DAC2_DSP_P" LOC = AF19 | IOSTANDARD=LVDS | DIFF_TERM=TRUE;
NET "DAC2_DSP_N" LOC = AF20 | IOSTANDARD=LVDS | DIFF_TERM=TRUE;
NET "DAC2_DSP_P" CLOCK_DEDICATED_ROUTE = FALSE;
NET "DAC2_DSP_N" CLOCK_DEDICATED_ROUTE = FALSE;

# PSS, out
NET "DAC1_PSS(0)" LOC = M26 | IOSTANDARD=LVCMOS33;
NET "DAC1_PSS(1)" LOC = N26 | IOSTANDARD=LVCMOS33;
NET "DAC1_PSS(2)" LOC = N23 | IOSTANDARD=LVCMOS33;
NET "DAC2_PSS(0)" LOC = P23 | IOSTANDARD=LVCMOS33;
NET "DAC2_PSS(1)" LOC = T22 | IOSTANDARD=LVCMOS33;
NET "DAC2_PSS(2)" LOC = P24 | IOSTANDARD=LVCMOS33;

# MODE, out
NET "DAC1_MODE(0)" LOC = L24 | IOSTANDARD=LVCMOS33;
NET "DAC1_MODE(1)" LOC = M24 | IOSTANDARD=LVCMOS33;
NET "DAC2_MODE(0)" LOC = P26 | IOSTANDARD=LVCMOS33;
NET "DAC2_MODE(1)" LOC = P25 | IOSTANDARD=LVCMOS33;
```

```
NET "pdds_i_out4(11)" LOC = H8 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(10)" LOC = G10 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(9)" LOC = G9 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(8)" LOC = J13 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(7)" LOC = H13 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(6)" LOC = J11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(5)" LOC = J10 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(4)" LOC = H14 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(3)" LOC = G14 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(2)" LOC = H12 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(1)" LOC = H11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out4(0)" LOC = F9 | IOSTANDARD=LVCMOS33;

NET "pdds_i_out3(11)" LOC = F8 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(10)" LOC = D9 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(9)" LOC = D8 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(8)" LOC = A9 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(7)" LOC = A8 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(6)" LOC = C9 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(5)" LOC = B9 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(4)" LOC = G11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(3)" LOC = F10 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(2)" LOC = E10 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(1)" LOC = D10 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out3(0)" LOC = C12 | IOSTANDARD=LVCMOS33;

NET "pdds_i_out2(11)" LOC = C11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(10)" LOC = E11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(9)" LOC = D11 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(8)" LOC = F14 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(7)" LOC = F13 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(6)" LOC = G12 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(5)" LOC = F12 | IOSTANDARD=LVCMOS33;
NET "pdds_i_out2(4)" LOC = D14 | IOSTANDARD=LVCMOS33;
```

고해상용 첩 파형 발생기 설계 – S/W & 시뮬레이션

❑ 광대역 첩 파형 발생기 VHDL 코드

➢ DAC 제어 블록

```
-- DSP CLK, in (000 MHz)
DAC1_DSP_IBUFDS : IBUFDS
port map (
   O => DAC1_DSP,
   I => DAC1_DSP_P,
   IB=> DAC1_DSP_N
);
process(DAC1_DSP) -- DSP1 count
   begin
      if (DAC1_DSP'EVENT and DAC1_DSP = '1') then
         DAC1_DSP_cnt <= DAC1_DSP_cnt + '1';
      end if;
end process;
DAC2_DSP_IBUFDS : IBUFDS
port map (
   O => DAC2_DSP,
   I => DAC2_DSP_P,
   IB=> DAC2_DSP_N
);

-- PSS, out
DAC1_PSS        <= "000"; -- 0.0 delay, 0~3.5 clk
DAC2_PSS        <= "000"; -- 0.0 delay, 0~3.5 clk

-- MODE, out
DAC1_MODE       <= "00"; -- NRZ mode (NRZ, RTZ, NRTZ, RF mode)
DAC2_MODE       <= "00"; -- NRZ mode (NRZ, RTZ, NRTZ, RF mode)
```

```
-- IDC, out
DAC1_IDC_P              : out std_logic;
DAC1_IDC_N              : out std_logic;
DAC2_IDC_P              : out std_logic;
DAC2_IDC_N              : out std_logic;

-- OCDS, out
DAC1_OCDS               : out std_logic_vector(1 downto 0);
DAC2_OCDS               : out std_logic_vector(1 downto 0);

-- MUX, out
DAC1_MUX                : out std_logic;
DAC2_MUX                : out std_logic;

-- IUCM, out
-- Deleted in New version (EV12DS130(A/B)ZP)

-- HTVF, in
B_DAC1_HTVF             : in  std_logic;
B_DAC2_HTVF             : in  std_logic;

-- STVF, in
B_DAC1_STVF             : in  std_logic;
B_DAC2_STVF             : in  std_logic;

-- DATA pin, out
pdds_i_out1             : out std_logic_vector(11 downto 0);
pdds_i_out2             : out std_logic_vector(11 downto 0);
pdds_i_out3             : out std_logic_vector(11 downto 0);
pdds_i_out4             : out std_logic_vector(11 downto 0);
```

고해상용 첩 파형 발생기 설계 – S/W & 시뮬레이션

❑ 광대역 첩 파형 발생기 VHDL 코드

➢ 입출력 변수

CLK

```
-- FPGA CLK, in (100 MHz MHz)
FPGA_CLK1                : in  std_logic;
FPGA_CLK2                : in  std_logic;

-- DSP CLK, in (62.5 MHz)
DAC1_DSP_P               : in  std_logic;
DAC1_DSP_N               : in  std_logic;
DAC2_DSP_P               : in  std_logic;
DAC2_DSP_N               : in  std_logic;
```

Phase

```
-- PSS, out
DAC1_PSS                 : out std_logic_vector(2 downto 0);
DAC2_PSS                 : out std_logic_vector(2 downto 0);
```

Mode

```
-- MODE, out
DAC1_MODE                : out std_logic_vector(1 downto 0);
DAC2_MODE                : out std_logic_vector(1 downto 0);
```

Sync

```
-- SYNC, out
DAC1_SYNC_P              : out std_logic;
DAC1_SYNC_N              : out std_logic;
DAC2_SYNC_P              : out std_logic;
DAC2_SYNC_N              : out std_logic;
```

Input Data check

```
-- IDC, out
DAC1_IDC_P       : out std_logic;
DAC1_IDC_N       : out std_logic;
DAC2_IDC_P       : out std_logic;
DAC2_IDC_N       : out std_logic;
```

Clock divider

```
-- OCDS, out
DAC1_OCDS        : out std_logic_vector(1 downto 0);
DAC2_OCDS        : out std_logic_vector(1 downto 0);
```

MUX ratio

```
-- MUX, out
DAC1_MUX         : out std_logic;
DAC2_MUX         : out std_logic;
```

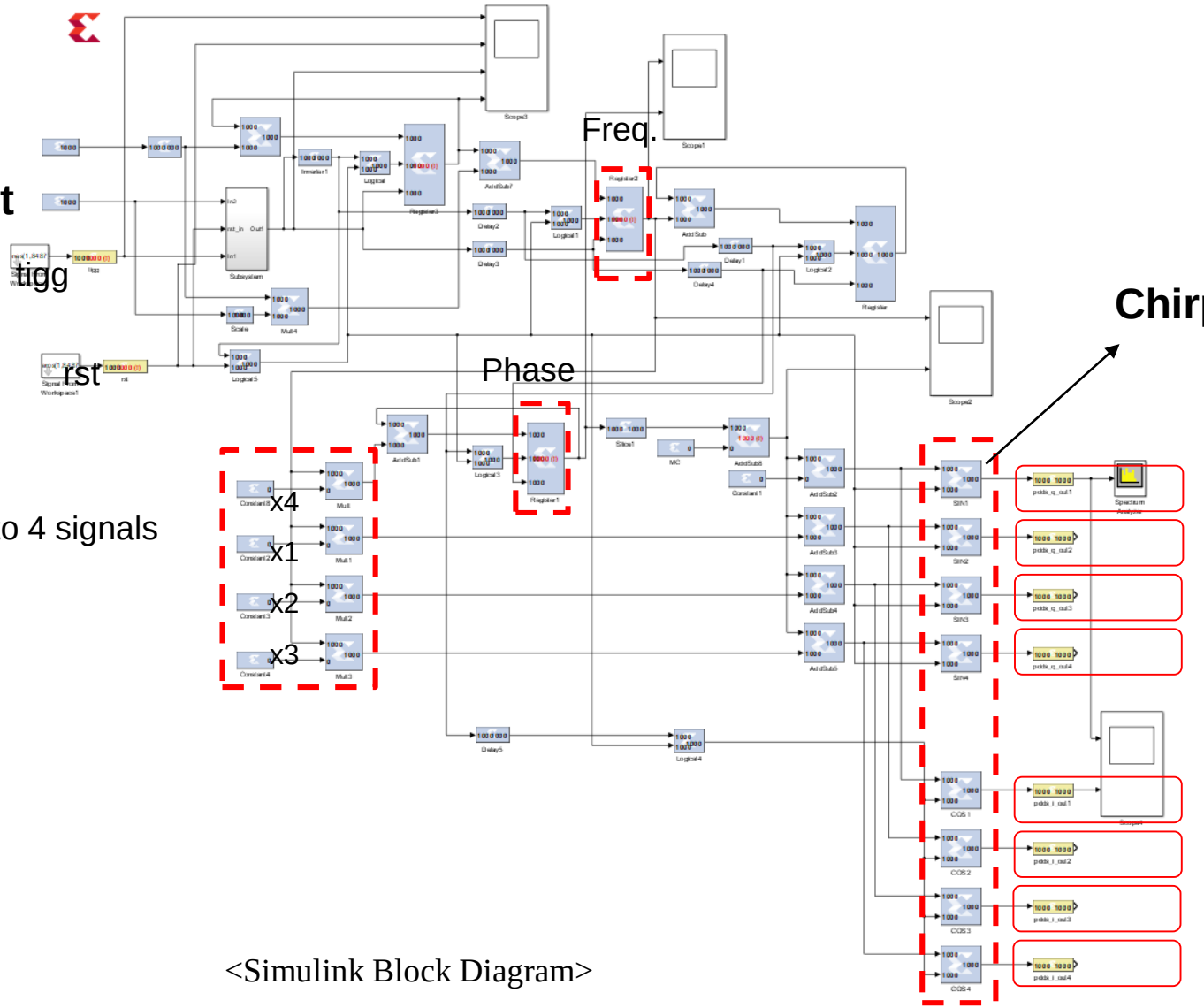
Output Signal

```
-- DATA pin, out
pdds_i_out1      : out std_logic_vector(11 downto 0);
pdds_i_out2      : out std_logic_vector(11 downto 0);
pdds_i_out3      : out std_logic_vector(11 downto 0);
pdds_i_out4      : out std_logic_vector(11 downto 0);

pdds_q_out1      : out std_logic_vector(11 downto 0);
pdds_q_out2      : out std_logic_vector(11 downto 0);
pdds_q_out3      : out std_logic_vector(11 downto 0);
pdds_q_out4      : out std_logic_vector(11 downto 0)
```

고해상용 첩 파형 발생기 설계 – S/W & 시뮬레이션

❑ 광대역 첩 파형 발생 시뮬레이션

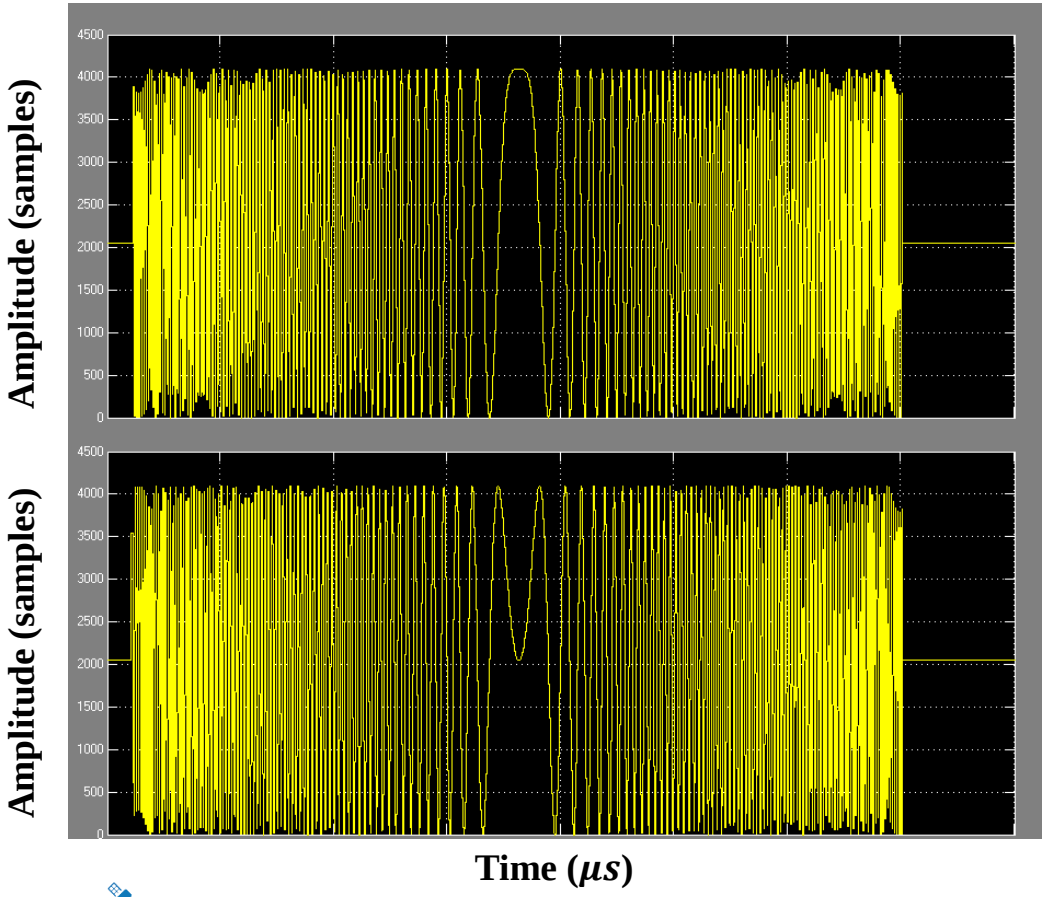


<Simulink Block Diagram>

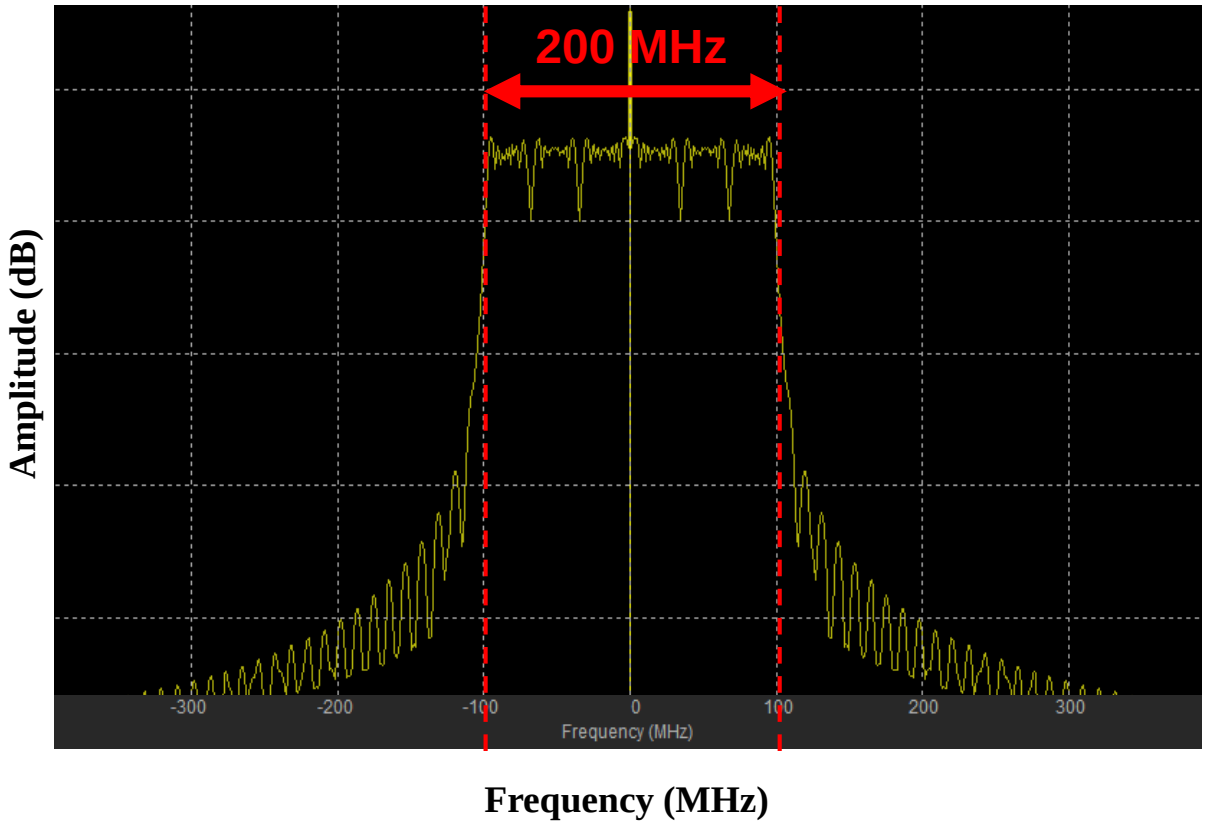
고해상용 첩 파형 발생기 설계 – S/W & 시뮬레이션

❑ 광대역 첩 파형 발생 시뮬레이션

➢ 길이 : 6 μs, 대역폭 : 200 MHz 첩 파형 출력 시뮬레이션



< 6 μs of pulse width output (I+(above), Q+(below)>



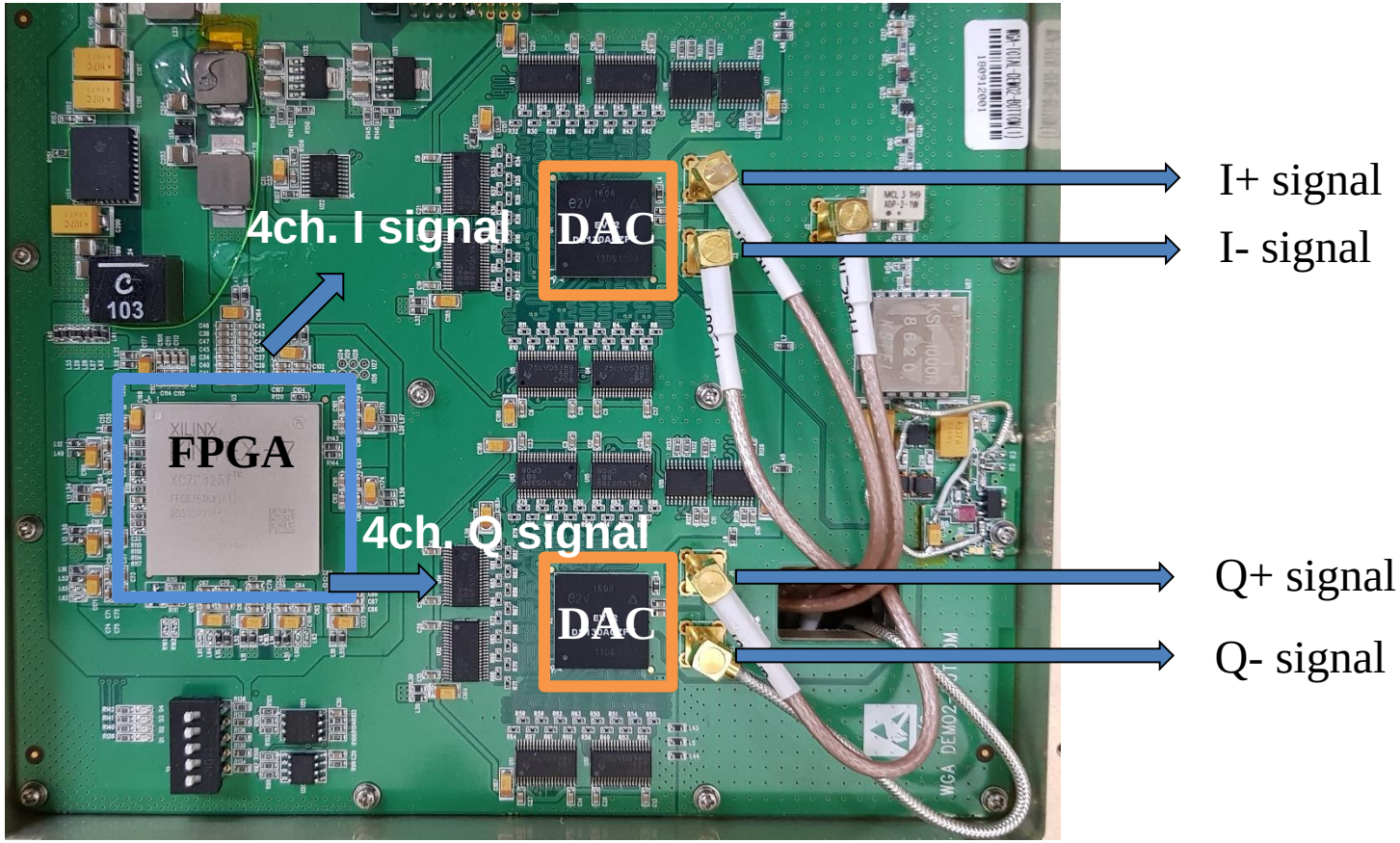
<200 MHz of bandwidth output>

광대역 파형 발생 실험

광대역 파형 발생 실험

❑ 광대역 첩 파형 발생기

- Digital part : FPGA, DAC, and etc.
- Analog part : Quadrature modulator, LPF, Amp., and etc.

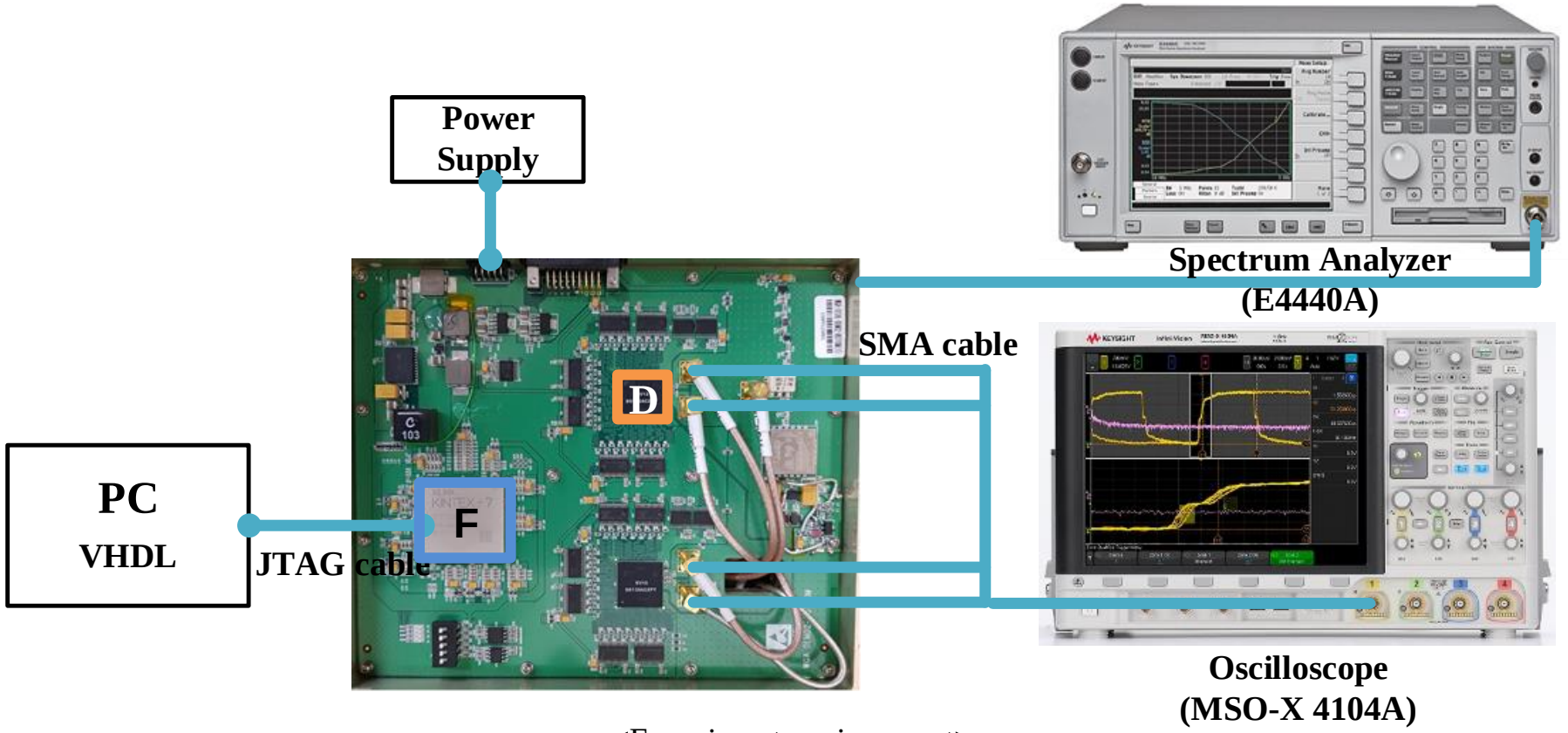


<Developed chirp waveform generator>

광대역 파형 발생 실험

❑ 실험 환경

- Power supply → Power → Waveform Generator
- PC → VHDL code upload → FPGA
- Waveform Generator → Oscilloscope (baseband chirp, time), Spectrum Analyzer (frequency spectrum)

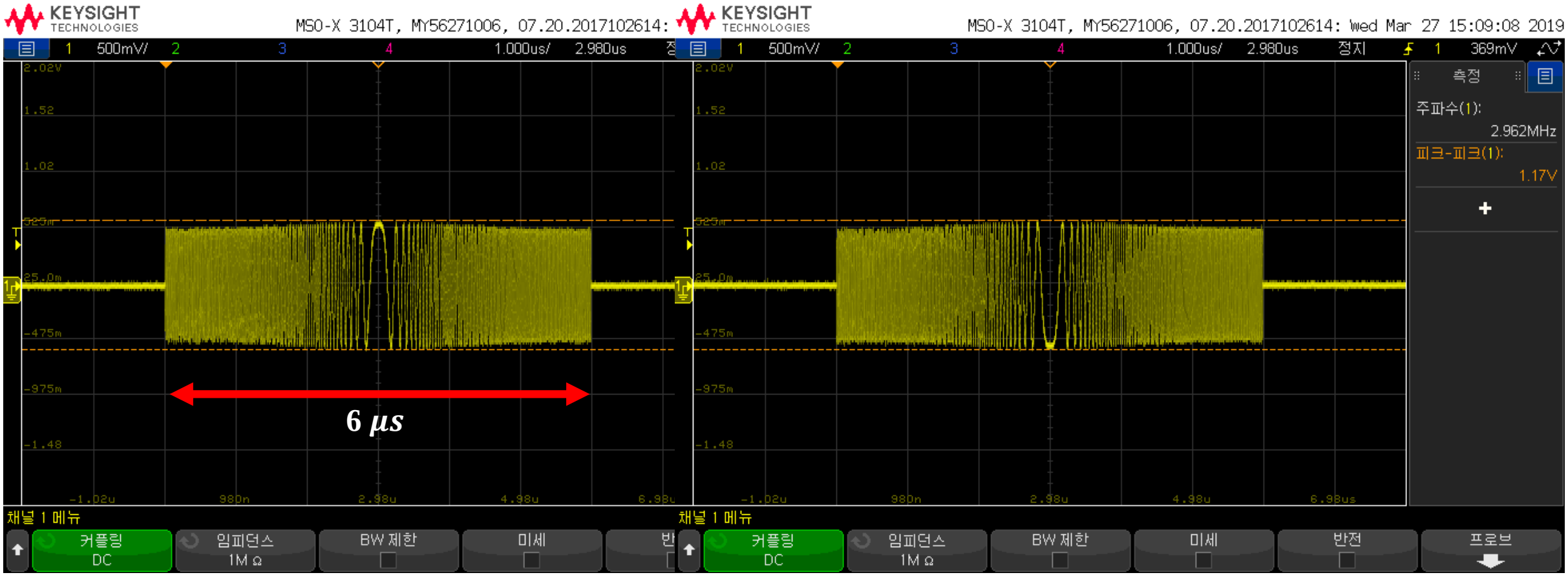


<Experiment environment>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Time)

➢ 길이 : 6 μs, 대역폭 : 200 MHz 첩 파형 출력



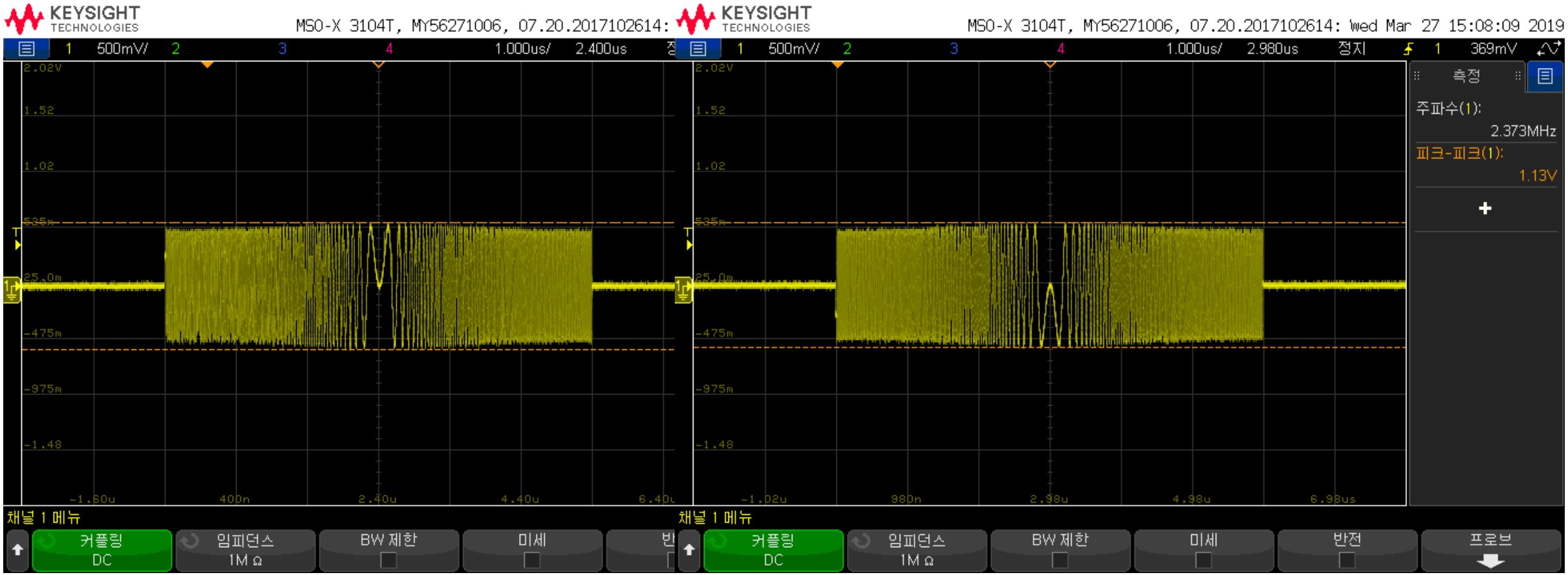
<Measurement result of time domain – I+ signal>

<Measurement result of time domain – I- signal>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Time)

➢ 길이 : 6 μs, 대역폭 : 200 MHz 첩 파형 출력



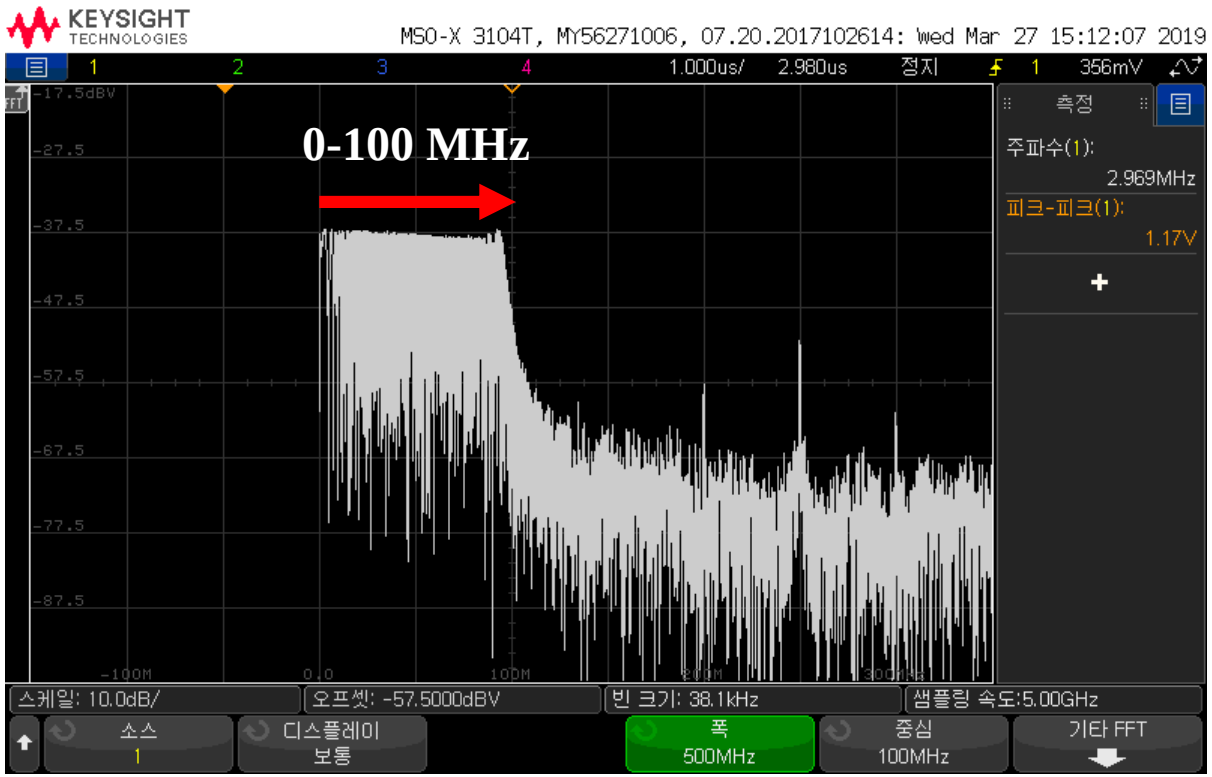
<Measurement result of time domain – Q+ signal>

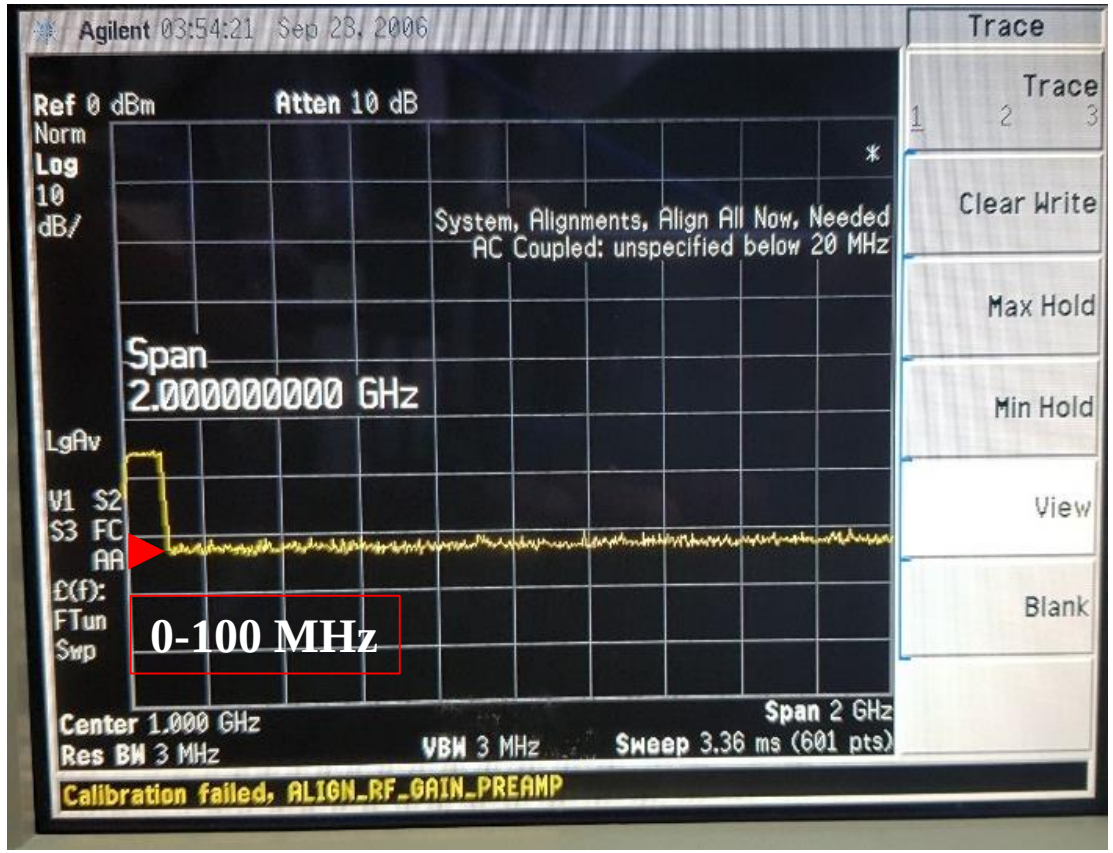
<Measurement result of time domain – Q- signal>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Frequency)

➢ 길이 : 6 μs, 대역폭 : 200 MHz 첩 파형 출력 (Baseband to 100 MHz)



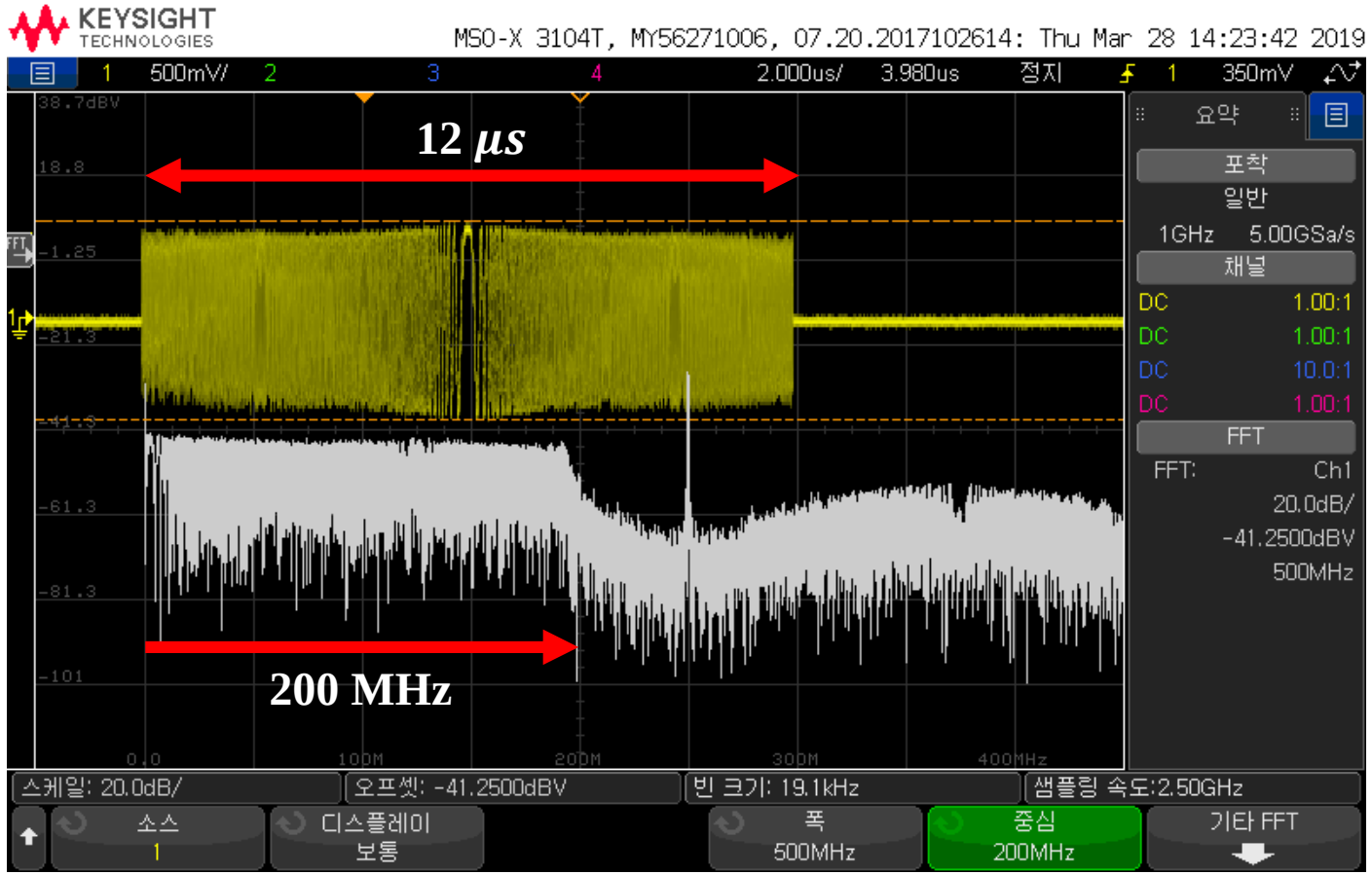


<0-100 MHz of bandwidth spectrum>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Oscilloscope)

➢ 길이 : 12 μs, 대역폭 : 400 MHz 첩 파형 출력 (Baseband to 200 MHz)

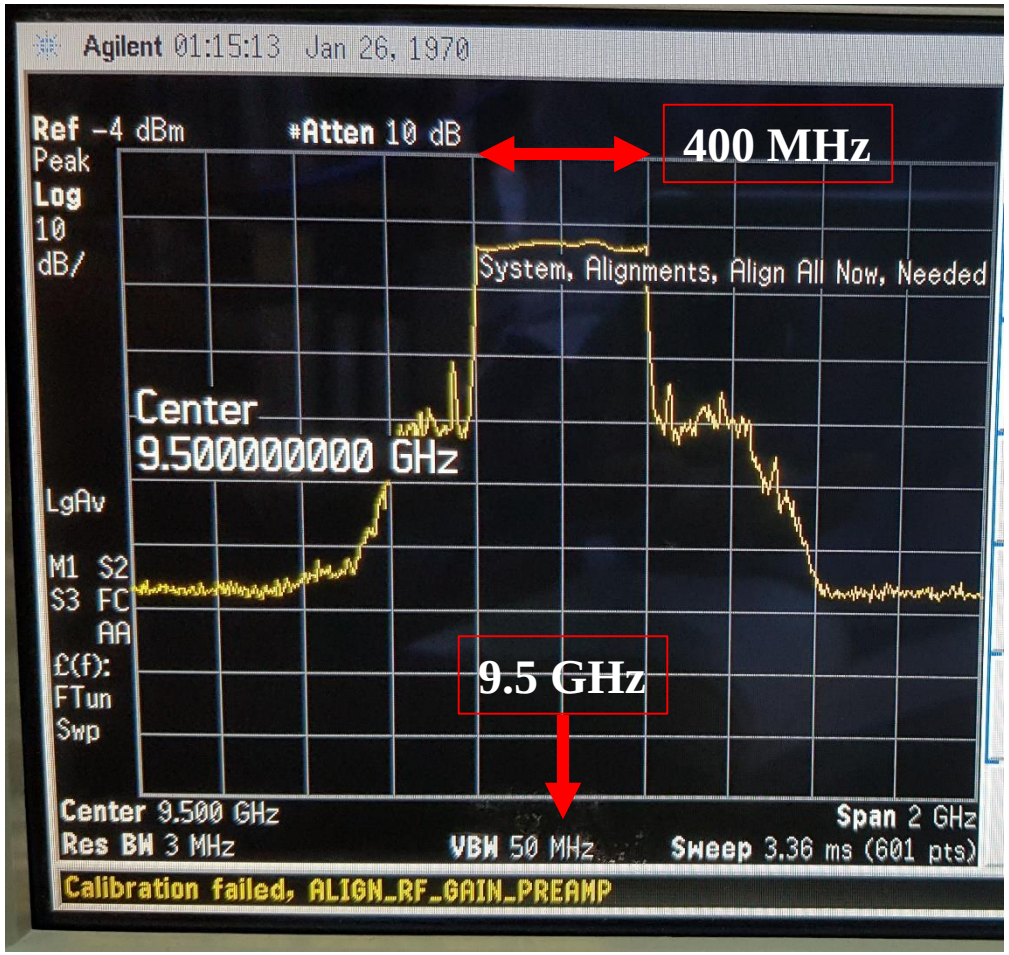


<Measurement result of time domain and FFT>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Spectrum Analyzer)

➢ 길이 : 12 μs, 대역폭 : 400 MHz 첩 파형 출력 (X-band, 9.5 GHz ± 200 MHz)

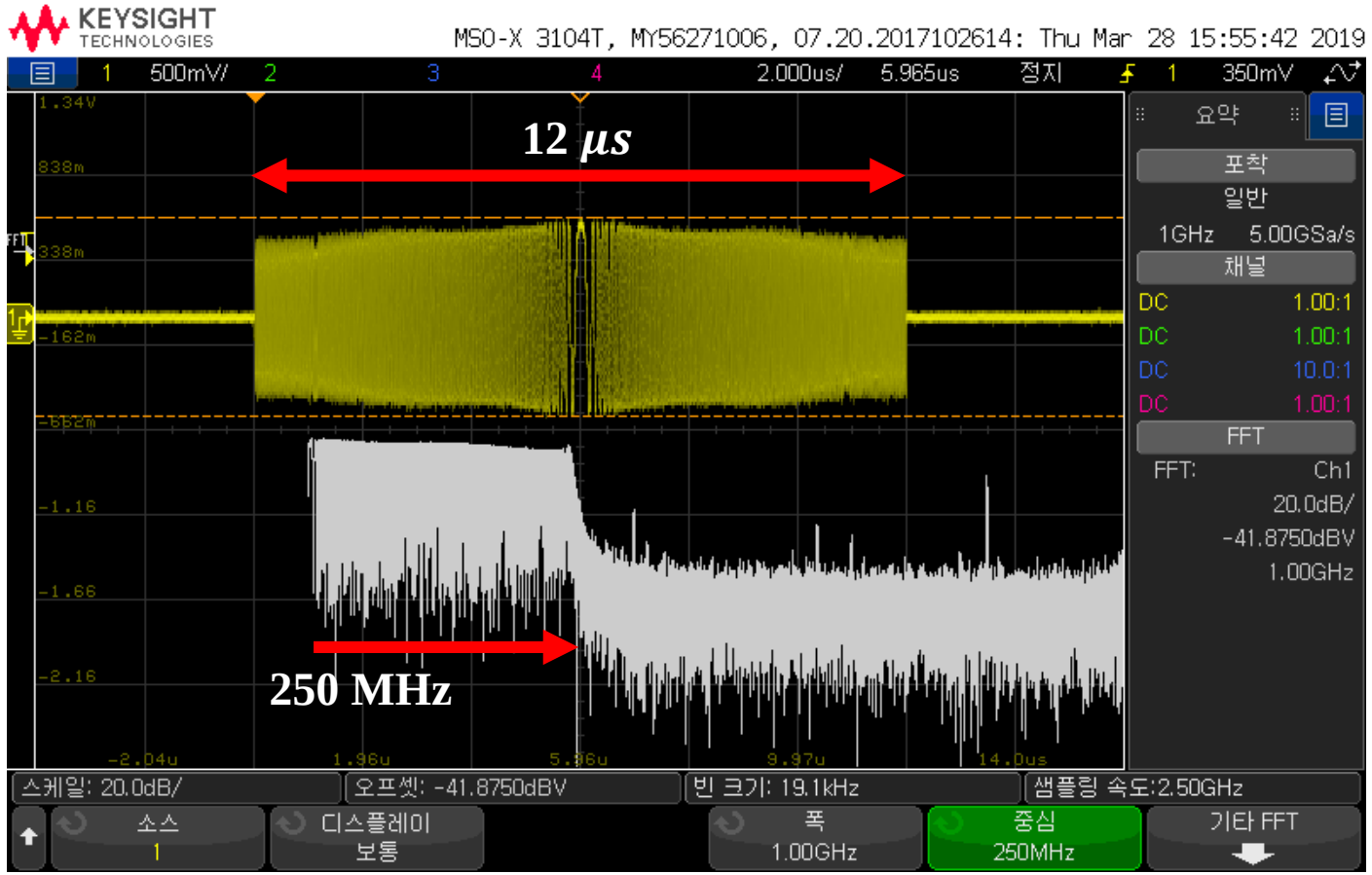


<Measurement result of Frequency spectrum>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Oscilloscope)

➢ 길이 : 12 μs, 대역폭 : 500 MHz 첩 파형 출력 (Baseband to 250 MHz)

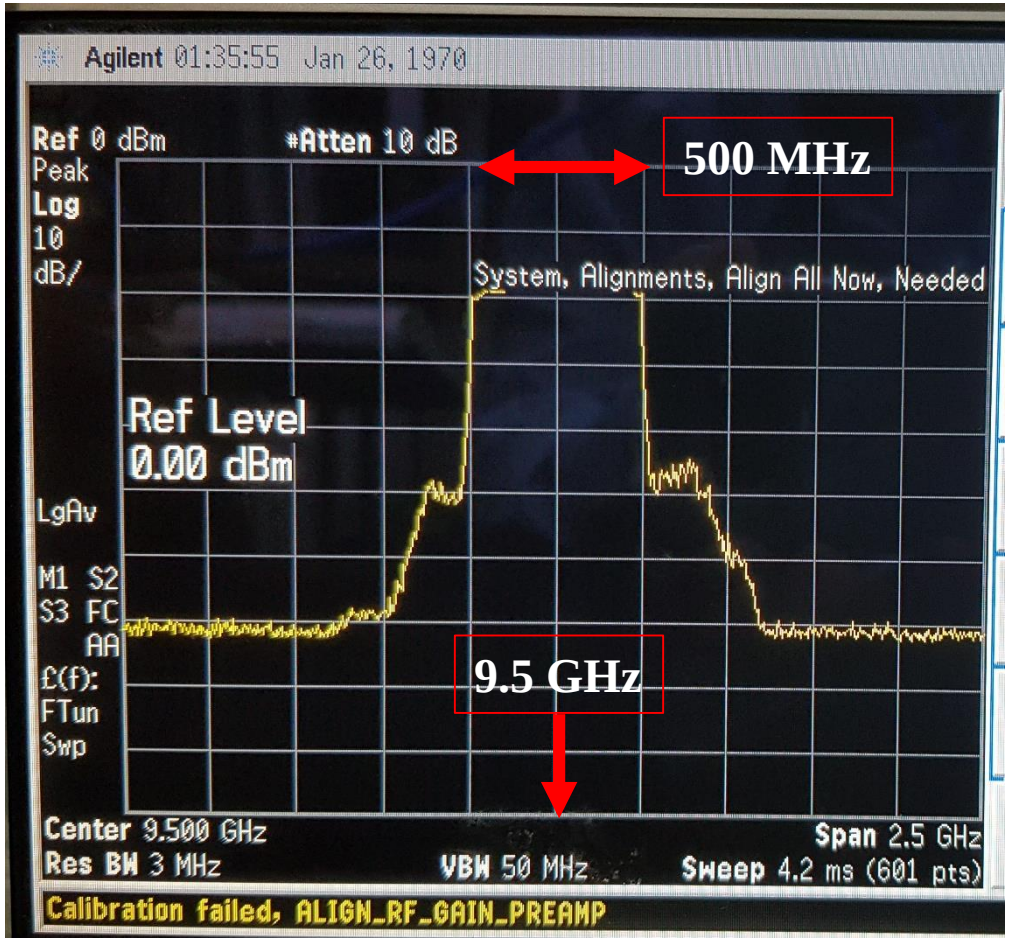


<Measurement result of time domain and FFT>

광대역 파형 발생 실험

❑ 광대역 파형 측정 (Spectrum Analyzer)

➢ 길이 : 12 μs, 대역폭 : 500 MHz 첩 파형 출력 (X-band, 9.5 GHz ± 250 MHz)



<Measurement result of Frequency spectrum>

결론

- ❑ 군용뿐만 아니라 민용으로도 고해상의 SAR 영상 활용 수요가 늘고 있음
- ❑ 이에 따라, 고해상을 위한 광대역 첩 파형 발생기 시스템 설계 및 제작을 수행
- ❑ 최대 500 MHz (30 cm 해상도)의 광대역 첩 파형 발생 및 측정

Thank you !

Q & A